

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

CLIPPEDIMAGE= JP363170971A

PAT-NO: JP363170971A

DOCUMENT-IDENTIFIER: JP 63170971 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: July 14, 1988

INVENTOR-INFORMATION:

NAME

SHIBA, HIROSHI

MIKOSHIBA, KEIMEI

KUROSAWA, SUSUMU

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP62002778

APPL-DATE: January 9, 1987

INT-CL (IPC): H01L029/80;H01L021/20 ;H01L027/00 ;H01L029/04

US-CL-CURRENT: 257/64,257/66 ,257/67 ,257/74

ABSTRACT:

PURPOSE: To enhance the mobility of a current carrier and to enhance the current drive force and the mutual conductance of a semiconductor device by a method wherein crystal particles inside a polycrystalline silicon substrate are grown and arranged in the same vertical direction as a transistor-activating region which is formed in such a way that the current carrier flows along the interface of the crystal particles.

CONSTITUTION: A device incorporates n<SP>+</SP> polycrystalline silicon layers

1, 2 and p<SP>+</SP> polycrystalline silicon layers 3, 4, which form each region for a source, a drain and two gates, as well as n<SP>-</SP>

polycrystalline silicon layers 5, 6 which form a channel region. The polycrystalline layers are deposited in succession on an insulating substrate 7; crystal particles are grown in the vertical direction with reference to the insulating substrate 7. That is to say, the crystal particles are grown in such a way that, inside the n<SP>-</SP> polycrystalline layers 5, 6 in the channel region, the interface of the crystal particles runs along their respective channels and that it does not cross the flow of a current carrier. By this method, the opportunity that the current carrier disappears due to the recombination or other forces is reduced; the mutual conductance and the current drive force of a device can be enhanced.

COPYRIGHT: (C)1988,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-170971

⑪ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)7月14日

H 01 L 29/80
21/20
27/00
29/04

3 0 1

V-8122-5F
7739-5F
P-8122-5F
8526-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 昭62-2778

⑰ 出 願 昭62(1987)1月9日

⑱ 発 明 者	柴 宏	東京都港区芝5丁目33番1号	日本電気株式会社内
⑱ 発 明 者	御 子 柴 啓 明	東京都港区芝5丁目33番1号	日本電気株式会社内
⑱ 発 明 者	黒 澤 晋	東京都港区芝5丁目33番1号	日本電気株式会社内
⑲ 出 願 人	日本電気株式会社	東京都港区芝5丁目33番1号	
⑳ 代 理 人	弁理士 内 原 晋		

明 細 書

1 発明の名称 半導体装置

2 特許請求の範囲

多結晶シリコン基板と前記多結晶シリコン基板内にトランジスタ活性化領域を縦型方向に形成する縦型構造素子とを含んで成り、前記多結晶シリコン基板は結晶粒界面のそれぞれが前記トランジスタ活性化領域における電流担体の流れと交差することなき前記縦型方向に成長配列される結晶粒により形成されていることを特徴とする半導体装置。

3 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置に関し、特にトランジスタ活性化領域を多結晶シリコンを用いて形成する半導体装置の構造に関する。

(従来の技術)

今日、薄膜トランジスタの例に見る如く単結晶シリコンに代わる基板材料を用いた半導体装置の開発が盛んである。この場合、単結晶シリコンに代わる材料には、通常、アモル^ルファスまたは多結晶のシリコン材が用いられ、半導体素子は従来の技術をそのまま踏襲して所謂横型構造に形成される。

(発明が解決しようとする問題点)

しかしながら、絶縁基板(例えばガラス)上に例えば多結晶シリコンを成長せしめると結晶粒は絶縁基板と垂直方向に成長配列されるので横型半導体素子では電流担体(電子または正孔)が多数の結晶粒界面を横切ることとなる。このように電流担体が多数の結晶粒界面を横切る構造であると電流担体の移動度は小さくなり、半導体装置の相互コンダクタンス(gm)および電流駆動力をそれぞれ低下させる。従って、単結晶シリコンに代わる基板材料を用いた従来の半導体装置の負荷に対する電流駆動力は弱く薄膜トランジスタが利用される分野も高々液晶表示装置の周辺駆動素子程度

に過ぎない。

〔発明の目的〕

本発明の目的は、上記の情況に鑑み、相互コンダクタンスおよび電流駆動力をそれぞれ改善した多結晶シリコン基板による半導体装置を提供することにある。

〔発明の構成〕

本発明によれば、半導体装置は多結晶シリコン基板と前記多結晶シリコン基板内にトランジスタ活性化領域を縦型方向に形成する縦型構造素子とを含んで成り、前記多結晶シリコン基板は結晶粒界面のそれぞれが前記トランジスタ活性化領域における電流担体の流れと交差することなき前記縦型方向に成長配列される結晶粒により形成されることを含む。

〔問題点を解決するための手段〕

すなわち、本発明によれば、多結晶シリコン基板半導体装置のトランジスタ素子は縦型構造に形成され、その多結晶シリコン基板の結晶粒は電流担体が結晶粒界面に沿って流れるように、形成さ

からなる絶縁基板、8, 9, 10, 11はそれぞれシリコン酸化絶縁膜である。

本実施例によれば多結晶シリコン層は絶縁基板7上に順次堆積されて形成されるので結晶粒を絶縁基板7に対し垂直方向に成長させるようになる。すなわち、チャネル領域の n^- 多結晶シリコン層5, 6内では結晶粒界面をそれぞれチャネルに沿う方向に成長させ電流担体(電子)の流れ(矢印で示す)と交差せしめないようになる。従って、再結合その他による電流担体(電子)の消滅機会を減少して素子の相互コンダクタンス(gm)および電流駆動力を改善せしめることができる。

第2図は本発明の他の実施例を示す断面図で多結晶シリコンからなる2つの縦型電界効果トランジスタを多段に積層した構造を示したものである。本実施例によれば、第1図と全く同一構造のトランジスタ素子A, Bが層間絶縁膜12を介し2層構造に形成される。本発明の半導体装置は殆んど全てを多結晶シリコンで形成できるので本実施例の如く複数個のトランジスタ素子を積み重ねた3

れるトランジスタ活性化領域と同じ縦型方向に成長配列される。

〔作用〕

この際、多結晶シリコンの結晶粒はトランジスタ活性化領域における電流担体の流れに対しそれぞれの結晶粒界面を交差させることがないので、電流担体の移動度を高め半導体装置の電流駆動力および相互コンダクタンスを向上せしめるよう作用する。以下図面を参照して本発明を詳細に説明する。

〔実施例〕

第1図は本発明の一実施例を示す断面図で、素子構造を縦型電界効果トランジスタとした場合を示すものである。本実施例によれば、本発明の半導体装置はソース、ドレインおよび2つのゲートの各領域を形成する n^+ 多結晶シリコン層1, 2および p^+ 多結晶シリコン層3, 4と、チャネル領域を形成する n^- 多結晶シリコン層5, 6とを含む。ここで、S, GおよびDはソース、ゲートおよびドレインの各領域からの引出電極、7はガラス材

次元構成を容易にとらせることができる。このように3次元構成をとり得る利点は通常用いられる他のトランジスタ素子との組合せても容易に実現し得る。

第3図は本発明のその他の実施例を示す断面図で、第1層を通常用いられる単結晶シリコン基板によるMOSトランジスタで形成し第2層以降を本発明にかかる縦型電界効果トランジスタとする3次元構造を示したものである。ここで、Cは単結晶シリコン基板を用いた通常のMOSトランジスタを示し、13はその単結晶シリコン基板を覆わしている。

以上は本発明を縦型電界効果トランジスタに実施した場合のみを説明したが、この他にも縦型バイポーラ・トランジスタの如く素子が縦型構造であれば何れのものに対しても容易に実施することができ、それぞれ相互コンダクタンスおよび電流駆動力の改善された多結晶シリコン半導体装置を得ることができる。従って、第2図および第3図に示した3次元構成はトランジスタの種類の組合

わせによって幾通りもの半導体電子回路を形成せしめ得る。

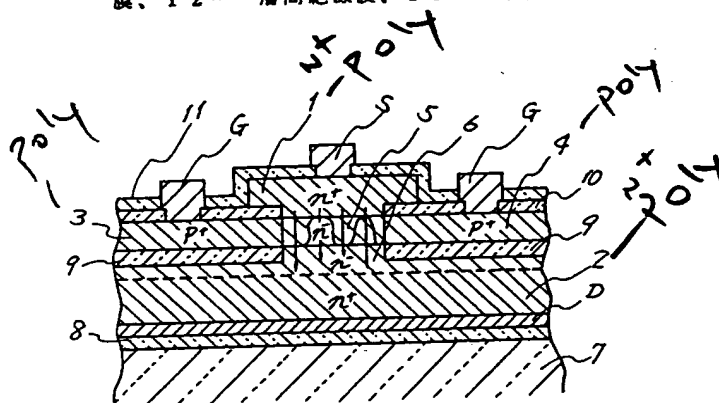
(発明の効果)

以上詳細に説明したように、本発明によれば、多結晶シリコン半導体装置の相互コンダクタンスおよび外部回路への電流駆動力特性を改善し得る他3次元構成を著しく容易にならしめる顕著なる効果を有する。

4. 図面の簡単な説明

第1図は本発明の一実施例を示す断面図、第2図は本発明の他の実施例を示す断面図、第3図は本発明の更に他の実施例を示す断面図である。

1……ソース領域を形成する n^+ 多結晶シリコン層、2……ドレイン領域を形成する n^+ 多結晶シリコン層、3, 4……ゲート領域を形成する n^+ 多結晶シリコン層、5, 6……チャネル領域を形成する n^- 多結晶シリコン層、7……ガラス材からなる絶縁基板、8, 9, 10, 11……シリコン酸化絶縁膜、12……層間絶縁膜、13……単結晶シリコ

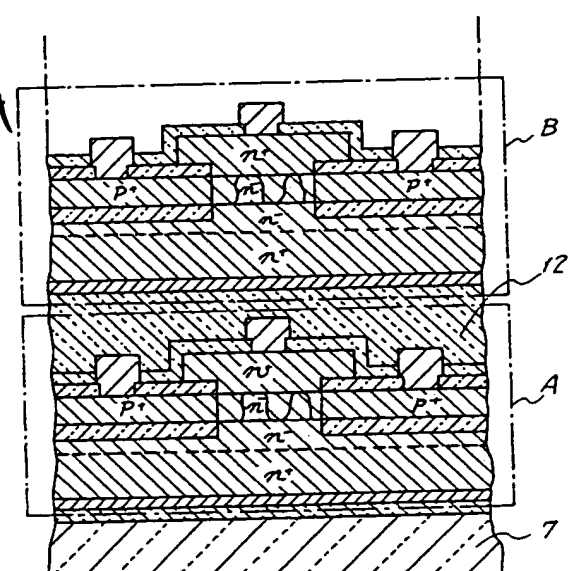


第1図

1……ソース領域を形成する n^+ 多結晶シリコン層
2……ドレイン領域を形成する n^+ 多結晶シリコン層
3, 4……ゲート領域を形成する n^+ 多結晶シリコン層
5, 6……チャネル領域を形成する n^- 多結晶シリコン層
7……ガラス材からなる絶縁基板
8, 9, 10, 11……シリコン酸化絶縁膜
S……ソース引出電極
G……ゲート引出電極
D……ドレイン引出電極

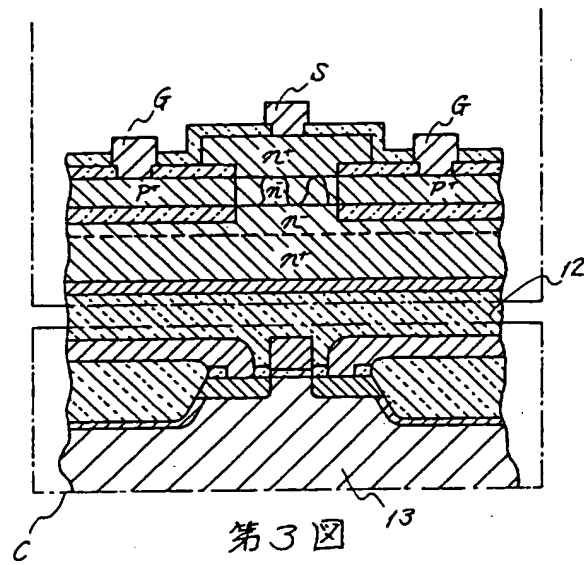
ン基板、S……ソース引出電極、G……ゲート引出電極、D……ドレイン引出電極、A……第1層縦型電界効果トランジスタ素子、B……第2層縦型電界効果トランジスタ素子、C……単結晶シリコン基板によるMOSトランジスタ。

代理人 弁理士 内 原 晋



第2図

A……第1層縦型電界効果トランジスタ素子
B……第2層縦型電界効果トランジスタ素子
12……層間絶縁膜



第3図

C...単結晶シリコン基板に於けるMOSトランジスタ
13...単結晶シリコン基板